

SIMULATED DEFECT WAFER AND METHOD FOR FORMING DEFECT INSPECTION RECIPE

Publication number: JP2001337047

Publication date: 2001-12-07

Inventor: NODA TOMONOBU

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- International: G01B21/30; G01N21/956; H01L21/66; H01L23/544;
G01B21/30; G01N21/88; H01L21/66; H01L23/544;
(IPC1-7): G01B21/30; G01N21/956; H01L21/66

- European: H01L23/544T

Application number: JP20000160506 20000530

Priority number(s): JP20000160506 20000530

Also published as:

US6583870 (B2)

US2002006497 (A1)

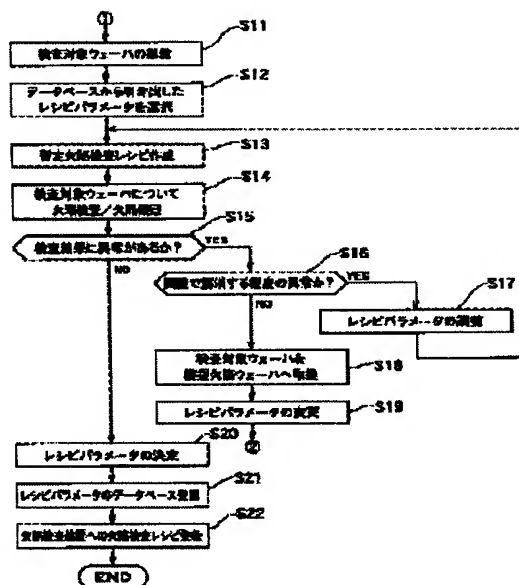
TW501268B (B)

Report a data error here

Abstract of JP2001337047

PROBLEM TO BE SOLVED: To provide a method for forming independently of a proficiency of a former an optimum defect inspection recipe whereby all kinds of defects can be detected.

SOLUTION: A temporary inspection recipe is formed with the use of the simulated defect wafer 1 including simulated defect patterns DF1-DF3 having a change in a height direction and a change in a plane shape to a simulation normal pattern. Defect inspection of the simulated defect wafer 1 is carried out. Detected defect data are compared with preliminarily obtained simulated defect data of the simulated defect wafer 1 to quantify a defect detection sensitivity. Recipe parameters are changed until a desired defect detection rate is obtained. The temporary inspection recipe is thus formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-337047

(P2001-337047A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

G 0 1 N 21/956

G 0 1 N 21/956

A 2 F 0 6 9

H 0 1 L 21/66

H 0 1 L 21/66

J 2 G 0 5 1

// G 0 1 B 21/30

G 0 1 B 21/30

Z 4 M 1 0 6

審査請求 未請求 請求項の数8 O L (全 9 頁)

(21) 出願番号 特願2000-160506(P2000-160506)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22) 出願日 平成12年5月30日 (2000.5.30)

(72) 発明者 野田 智 信

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

Fターム(参考) 2F069 AA60 AA64 BB15 CC06 FF07

GG04 GG07 GG73 HH30 NN00

2G051 AA51 AB02 AC04 FA10

4M106 AA01 AA08 AA10 AA11 AA12

AB15 AB16 AB17 AC02 AC13

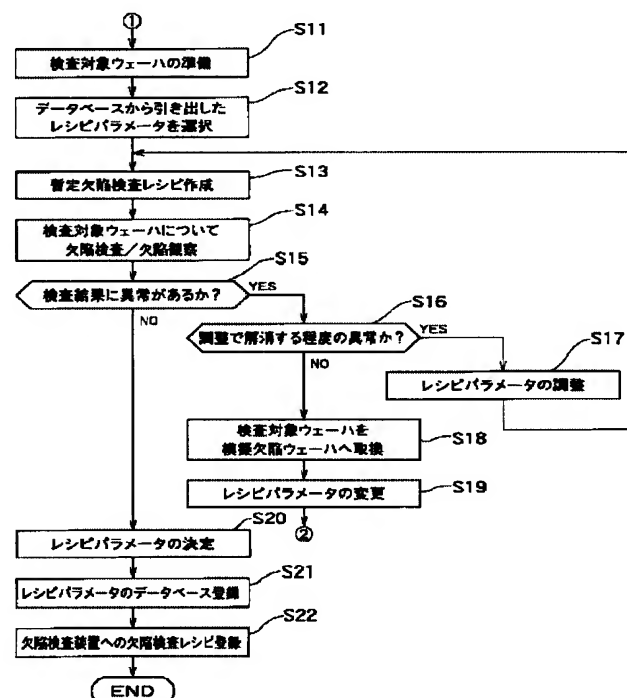
CA39 CA50 DJ18 DJ20

(54) 【発明の名称】 模擬欠陥ウェーハおよび欠陥検査レシピ作成方法

(57) 【要約】

【課題】 全ての欠陥種を検出できる最適の欠陥検査レシピを作成者の熟練度に依存することなく作成する方法を提供する。

【解決手段】 模擬正常パターンに対して高さ方向での変化と平面形状での変化とを有する模擬欠陥パターンD F 1～D F 3を備える模擬欠陥ウェーハ1を用いて暫定検査レシピを作成し、模擬欠陥ウェーハ1について欠陥検査を行ない、検出された欠陥データと、予め得られた模擬欠陥ウェーハ1の模擬欠陥データとを照合して欠陥検出感度を定量化し、所望の欠陥検出率が得られるまでレシピパラメータを変更して暫定検査レシピを作成する。



(2)

【特許請求の範囲】

【請求項1】半導体基板上に形成され、上面と前記半導体基板の表面との距離が第1の長さである模擬正常パターンと、

前記半導体基板上に形成され、上面と前記半導体基板の表面との距離が前記第1の長さと異なる第2の長さである第1の模擬欠陥パターンと、を備える模擬欠陥ウェーハ。

【請求項2】前記半導体基板上に形成され、前記模擬正常パターンと異なる平面形状を有する第2の模擬欠陥パターンをさらに備えることを特徴とする請求項1に記載の模擬欠陥ウェーハ。

【請求項3】前記第1の模擬欠陥パターンは、前記模擬正常パターン上に形成されたパターンを含むことを特徴とする請求項1または2に記載の模擬欠陥ウェーハ。

【請求項4】半導体欠陥検査装置に用いるレシピファイルの作成方法であって、

レシピパラメータを任意に設定するパラメータ設定工程と、

前記レシピパラメータに基づいて第1の暫定欠陥検査レシピを作成する第1の暫定レシピ作成工程と、

前記第1の暫定欠陥検査レシピを用いて、欠陥種に関するデータである模擬欠陥データが予め得られた模擬欠陥ウェーハについて欠陥を検出する模擬欠陥検出工程と、検出された欠陥データと前記模擬欠陥データとを照合して、前記第1の暫定欠陥検査レシピの欠陥検出率を算出する欠陥検出率算出工程と、

算出された前記欠陥検出率を所望の欠陥検出率と比較して前記第1の暫定欠陥検査レシピの欠陥検出感度を判定する欠陥検出感度判定工程と、

算出された前記欠陥検出率が前記所望の欠陥検出率を下回る場合に、前記レシピパラメータを変更して前記第1の暫定レシピ作成工程ないし前記欠陥検出感度判定工程を所望の前記欠陥検出感度が得られるまで繰り返す第1の暫定レシピ修正工程と、

所望の前記欠陥検出感度が得られたときの前記レシピパラメータを前記半導体欠陥検査装置のレシピパラメータとして決定するレシピ決定工程と、を備える欠陥検査レシピの作成方法。

【請求項5】決定された前記レシピパラメータを用いて第2の暫定欠陥検査レシピを作成する第2の暫定レシピ作成工程と、

前記第2の暫定欠陥検査レシピを用いて検査対象の半導体ウェーハについて欠陥を実際に検査する実検査工程と、

前記半導体ウェーハに対する欠陥検査の結果について異常があるか否かを検証する異常検証工程と、

前記欠陥検査の結果に異常がある場合に、前記レシピパラメータを調整して前記第2の暫定レシピ作成工程ないし前記異常検証工程を前記異常が無くなるまで繰り返す

2

第2の暫定レシピ修正工程と、をさらに備える請求項4に記載の欠陥検査レシピ作成方法。

【請求項6】決定された前記レシピパラメータを用いて第2の暫定欠陥検査レシピを作成する第2の暫定レシピ作成工程と、

前記第2の暫定欠陥検査レシピを用いて検査対象の半導体ウェーハについて欠陥を実際に検査する実検査工程と、

前記半導体ウェーハに対する欠陥検査の結果について異常があるか否かを検証する異常検証工程と、

前記欠陥検査の結果について異常がある場合に、その異常の程度を判定する工程と、

判定された前記異常の程度が、前記第2の暫定欠陥検査レシピの調整により解消可能な範囲内にある場合は、前記レシピパラメータを調整して前記第2の暫定レシピ作成工程ないし前記異常検証工程を前記異常が無くなるまで繰り返し、判定された前記異常の程度が、前記第2の暫定欠陥検査レシピの調整により解消可能な範囲を超える場合は、前記レシピパラメータを変更して前記第1の暫定レシピ作成工程ないし前記異常検証工程を前記異常が無くなるまで繰り返す工程と、をさらに備えることを特徴とする請求項4に記載の欠陥検査レシピ作成方法。

【請求項7】前記模擬欠陥ウェーハは、請求項1ないし3のいずれかに記載の模擬欠陥ウェーハであることを特徴とする請求項4ないし6のいずれかに記載の欠陥検査レシピ作成方法。

【請求項8】前記レシピパラメータは、前記半導体欠陥検査装置の光学系または電子光学系における変更可能な焦点距離を含み、前記パラメータ設定工程は、前記半導体ウェーハの表面に垂直な方向において所望の位置に存在し得る前記欠陥種に対応した前記焦点距離を設定する工程を含むことを特徴とする請求項7に記載の欠陥検査レシピ作成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体欠陥検査に関し、特に、半導体欠陥検査に用いる模擬欠陥ウェーハおよび欠陥検査レシピ作成方法を対象とする。

【0002】

【従来の技術】従来の技術による欠陥検査レシピの作成方法の一例について、図14のフローチャートを参照しながら説明する。

【0003】まず、検査対象となるウェーハを用意し（ステップS91）、次に、レシピ用のパラメータを暫定的に選択して（ステップS92）、暫定検査レシピを作成する（ステップS93）。次に、検査対象のウェーハを実際に検査して検出された欠陥を観察し（ステップS94）、その欠陥の種類（以下、欠陥種という）や欠陥の大きさから、暫定検査レシピによる欠陥検出感度が所望の検出感度に達しているかどうかを判断する（ステ

(3)

3

ップS 9 5)。所望の検出感度に達していないと判断した場合は、所望の検出感度を満たすまで、レシピパラメータの選択、暫定検査レシピの作成、ウェーハ検査および欠陥観察の一連の手順を繰り返す(ステップS 9 2～S 9 5)。所望の検出感度に達したと判断した場合は、最後に選択したレシピパラメータを検査用のレシピパラメータとして決定し(ステップS 9 6)、そのときの暫定検査レシピを欠陥検査レシピとして欠陥検査装置へ登録して(ステップS 9 7)、検査レシピ作成を終了する。

【0004】

【発明が解決しようとする課題】しかしながら、上述した従来の検査レシピ作成方法には以下のような問題点があった。

【0005】即ち、検査対象のウェーハが実際の半導体製品やTEG (Test Element Group) であるために、実際にどのような欠陥種がどのくらい存在するかという欠陥情報を予め得ることができない。このため、所望の欠陥種が全て検出できているか、他の欠陥種は検出できないのか、または全く存在していないのかを把握することができなかった。また、検査レシピの良否が作成者の熟練度に大きく左右されるという問題もあった。

【0006】また、実際のウェーハでなく模擬欠陥ウェーハを使用しようとしても、従来は単層構造で作成されたものしかなかった。このため、図15に示す模擬欠陥101、102のように、平面的な欠陥種しか作成できなかった。しかし、実際に起こり得る欠陥は、図16に示すように、パターン上に形成された欠陥103や基板上のパターン同士の隙間に形成された欠陥104など、高さ方向(基板面に垂直な方向)での位置が異なるものも多く、このような欠陥を単層構造の模擬欠陥ウェーハで実現するのは困難である。

【0007】本発明は上記事情に鑑みてなされたものであり、その目的は、様々な欠陥種を考慮した欠陥検査用の模擬欠陥ウェーハを提供するとともに、作成者の熟練度に依存することなく所望の欠陥種を漏れなく検出できる検査レシピ作成方法を提供することにある。

【0008】

【課題を解決するための手段】本発明は、以下の手段により上記課題の解決を図る。

【0009】即ち、本発明によれば、半導体基板上に形成され、上面と上記半導体基板の表面との距離が第1の長さである模擬正常パターンと、上記半導体基板上に形成され、上面と上記半導体基板の表面との距離が上記第1の長さとは異なる第2の長さである第1の模擬欠陥パターンと、を備える模擬欠陥ウェーハが提供される。

【0010】上記第1の模擬欠陥パターンの上面と上記半導体基板の表面との距離が、上記模擬正常パターンの上面と上記半導体基板の表面との距離と異なるので、実際に起こり得る欠陥のうち、高さ方向で位置が異なる欠

4

陥を模擬的に実現する模擬欠陥ウェーハが提供される。ここで、上記模擬正常パターンとは、検査対象である半導体ウェーハ上に設計通りに良好に形成されるパターンを模擬欠陥ウェーハ上で模擬的に形成したパターンをいう。

【0011】上記模擬欠陥ウェーハは、上記半導体基板上に形成され上記模擬正常パターンと異なる平面形状を有する第2の模擬欠陥パターンをさらに備えることが望ましい。上記第2の模擬欠陥パターンにより、平面形状における欠陥種をも実現することができる。

【0012】上記第1の模擬欠陥パターンは、上記模擬正常パターン上に形成されたパターンを含むと好適である。

【0013】また、上記模擬正常パターン、上記第1および上記第3の模擬欠陥パターンは、導電膜を含む積層体で構成しても良い。これにより、配線パターンにおける欠陥を模した模擬欠陥ウェーハが提供される。

【0014】また、本発明によれば、半導体欠陥検査装置に用いるレシピファイルの作成方法であって、レシピパラメータを任意に設定するパラメータ設定工程と、上記レシピパラメータに基づいて第1の暫定欠陥検査レシピを作成する第1の暫定レシピ作成工程と、上記第1の暫定欠陥検査レシピを用いて、欠陥種に関するデータである模擬欠陥データが予め得られた模擬欠陥ウェーハについて欠陥を検出する模擬欠陥検出工程と、検出された欠陥データと上記模擬欠陥データとを照合して、上記第1の暫定欠陥検査レシピの欠陥検出率を算出する欠陥検出率算出工程と、算出された上記欠陥検出率を所望の欠陥検出率と比較して上記第1の暫定欠陥検査レシピの欠陥検出感度を判定する欠陥検出感度判定工程と、算出された上記欠陥検出率が上記所望の欠陥検出率を下回る場合に、上記レシピパラメータを変更して上記第1の暫定レシピ作成工程ないし上記欠陥検出感度判定工程を所望の上記欠陥検出感度が得られるまで繰り返す第1の暫定レシピ修正工程と、所望の上記欠陥検出感度が得られたときの上記レシピパラメータを上記半導体欠陥検査装置のレシピパラメータとして決定するレシピ決定工程と、を備える欠陥検査レシピの作成方法が提供される。

【0015】上記レシピファイル作成方法によれば、模擬欠陥データが予め得られた模擬欠陥ウェーハを用い、また、検出された欠陥データを上記模擬欠陥データと照合して上記第1の暫定欠陥検査レシピによる欠陥検出率を算出するので、上記第1の暫定欠陥検査レシピの欠陥検出感度を定量化することができる。さらに、所望の検出感度に至るまで上記レシピパラメータを調整・変更することによりレシピパラメータを最適化することができる。この結果、レシピ作成者の熟練度に依存することなく最適の欠陥検査レシピを作成することが可能になる。

【0016】上述した欠陥検査レシピの作成方法は、決定された上記レシピパラメータを用いて第2の暫定欠陥

(4)

5

検査レシピを作成する第2の暫定レシピ作成工程と、上記第2の暫定欠陥検査レシピを用いて検査対象の半導体ウェーハについて欠陥を実際に検査する実検査工程と、上記半導体ウェーハに対する欠陥検査の結果について異常があるか否かを検証する異常検証工程と、上記欠陥検査の結果に異常がある場合に、上記レシピパラメータを調整して上記第2の暫定レシピ作成工程ないし上記異常検証工程を上記異常が無くなるまで繰り返す第2の暫定レシピ修正工程と、をさらに備えることが好ましい。

【0017】このように、検査対象の半導体ウェーハからの欠陥検査結果について異常の有無を検証し、異常がある場合は、この異常が無くなるまで上記レシピパラメータを調整するので、最適の欠陥検査レシピを作成することができる。

【0018】また、上述した欠陥検査レシピの作成方法は、決定された上記レシピパラメータを用いて第2の暫定欠陥検査レシピを作成する第2の暫定レシピ作成工程と、上記第2の暫定欠陥検査レシピを用いて検査対象の半導体ウェーハについて欠陥を実際に検査する実検査工程と、上記半導体ウェーハに対する欠陥検査の結果について異常があるか否かを検証する異常検証工程と、上記欠陥検査の結果について異常がある場合に、その異常の程度を判定する工程と、判定された上記異常の程度が、上記第2の暫定欠陥検査レシピの調整により解消可能な範囲内にある場合は、上記レシピパラメータを調整して上記第2の暫定レシピ作成工程ないし上記異常検証工程を上記異常が無くなるまで繰り返し、判定された上記異常の程度が、上記第2の暫定欠陥検査レシピの調整により解消可能な範囲を超える場合は、上記レシピパラメータを変更して上記第1の暫定レシピ作成工程ないし上記異常検証工程を上記異常が無くなるまで繰り返す工程と、をさらに備えることが望ましい。

【0019】これにより、異常の程度が大きい場合は、上記第1の暫定欠陥検査レシピの作成段階からレシピパラメータを調整するので、最適の欠陥検査レシピを作成することができる。

【0020】上記模擬欠陥ウェーハは、上述した本発明にかかる模擬欠陥ウェーハであることが望ましい。

【0021】これにより、上記模擬正常パターンとは高さ方向で位置が異なる欠陥種や平面形状が異なる欠陥種を考慮してレシピパラメータを選定できるので、漏れのない欠陥検出を可能にするレシピファイルを作成することができる。

【0022】また、上記レシピパラメータは、上記半導体欠陥検査装置の光学系または電子光学系における変更可能な焦点距離を含み、上記パラメータ設定工程は、上記半導体ウェーハの表面に垂直な方向において所望の位置に存在し得る上記欠陥種に対応した上記焦点距離を設定する工程を含むと良い。

【0023】従来の技術によれば、特定の欠陥種のみを

6

検査する場合、レシピ作成者がその経験に基づいて上記焦点距離を推定していたが、結局はデータ加工により所望の欠陥種に対応するデータを抽出しなければならず、データ処理に多大な時間が費やされていた。本発明によれば、所望の欠陥種に応じたレシピパラメータを短時間で選定できるので、検査効率を大幅に改善するレシピファイルが提供される。

【0024】

【発明の実施の形態】以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。

【0025】(1) 模擬欠陥ウェーハの実施形態

図1は、本発明にかかる模擬欠陥ウェーハの実施の一形態を示す部分平面図であり、また、図2は、図1に示す模擬欠陥ウェーハを図1のA-A切断線により切断した略示断面図である。

【0026】図1および図2に示すように、本実施形態の模擬欠陥ウェーハ1は、Gate配線工程の欠陥検査に用いる模擬欠陥ウェーハであり、シリコン基板S上に形成された配線パターン10a~10dおよび模擬欠陥パターンDF1~DF3を備える。

【0027】図2の断面図に示すように、本実施形態の模擬欠陥ウェーハ1の特徴は、まず、模擬欠陥パターンDF1、DF2の上面の基板S表面からの高さが配線パターン10a~10dとそれぞれ異なる点にあり、次に、図1に示すように、模擬欠陥パターンDF1~DF3の平面形状がいずれも配線パターン10a~10dと異なる点にある。

【0028】配線パターン10a~10dは、それぞれ膜厚約200nmで基板S上のシリコン酸化膜16上に成膜されたポリシリコン膜7a~7dと、これらのポリシリコン膜上に約200nmの膜厚でそれぞれ成膜されたシリコン窒化膜9a~9dを含み、図1の紙面左右方向に所定のピッチで形成されたライン状のパターンである。配線パターン10a~10dは、本実施形態における模擬正常パターンである。

【0029】模擬欠陥パターンDF1は、シリコン基板S上に成膜された膜厚約50nmのシリコン酸化膜3とこのシリコン酸化膜3上に成膜された膜厚約100nmのシリコン窒化膜5を含む。シリコン窒化膜5上面の基板S表面からの高さは配線パターン10a~10dよりも低い。模擬欠陥パターンDF1は、シリコン酸化膜3およびシリコン窒化膜5の一部が配線パターン10aの内部に埋め込まれ、またこれらの残部が配線パターン10a、10b間に位置するように形成されている。

【0030】模擬欠陥パターンDF2は、配線パターン10b上の一部領域において約100nmの膜厚で成膜されたポリシリコン膜20で構成される。これにより、模擬欠陥パターンDF2上面の基板S表面からの高さが配線パターン10a~10dと異なる構造となっている。

(5)

7

【0031】模擬欠陥パターンDF3は、配線パターン10c、10dと同一の材料・膜厚で配線パターン10c、10d間の一部間隙を埋めるように形成されている。従って、その上面の基板S表面からの高さは配線パターン10c、10dと同一であるが、平面視においてこれらの配線パターンを相互に接続するような形状となっている。

【0032】本実施形態の模擬欠陥ウェーハ1を用いた欠陥検査レシピの作成方法は、次記する実施形態において説明するので、ここでは模擬欠陥ウェーハ1の作成方法について説明する。

【0033】図3～図6、図8～図11は、図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図であり、図7は、図1に示す模擬欠陥ウェーハの作成方法を説明する略示平面図である。

【0034】まず、図3に示すように、シリコン基板S上にシリコン酸化膜2を約50nmの厚さで成膜した後、シリコン窒化膜4を約100nmの厚さで成膜する。

【0035】次に、図4に示すように、シリコン酸化膜2とシリコン窒化膜4とをレジストを用いたパターンニングにより選択的に除去して、シリコン酸化膜3およびシリコン窒化膜5とし、これらにより配線パターン下の模擬欠陥パターンDF1を形成する。

【0036】次に、図5に示すように、基板Sの表面にシリコン酸化膜16を約10nmの厚さで成膜した後、全面にポリシリコン膜6とシリコン窒化膜8とをそれぞれ約200nmの厚さで順次成膜し、レジストを用いたパターンニングにより選択的に除去して、図6に示すように、配線パターン10a～10dを形成する。このとき、配線パターン形状の一部に欠陥パターンの形状を加えたレジストパターン（マスク）を用いることにより、ポリシリコン膜6とシリコン窒化膜8とを図6の符号7a、7b、13と符号9a、9b、15でそれぞれ示す形状とし、図7の平面図に示すように、パターンの形状異常欠陥としての模擬欠陥パターンDF3を配線パターンと同時に形成する。

【0037】次に、図8に示すように、全面にBPSG (Boron-doped Phosphor-SilicateGlass) 膜18を約800nmの厚さで成膜した後、図9に示すように、シリコン窒化膜9a、9b、15が表層に現れるまで、CPM (Chemical Mechanical Polishing) 加工によりBPSG膜18を後退させる。

【0038】次に、図10に示すように、全面にポリシリコン膜20を約100nmの厚さで成膜した後、図11に示すように、このポリシリコン膜20をレジストを用いたパターンニングにより選択的に除去し、これにより、配線パターン10b上の模擬欠陥パターンDF2を形成する。

【0039】最後に、BPSG膜18を異方性エッチン

8

グにより除去し、図1および図2に示すように、Gate配線工程における模擬欠陥ウェーハ1を完成させる。

【0040】(2) 欠陥検査レシピ作成方法の実施形態図12および図13は、本発明にかかる欠陥検査レシピ作成方法の実施の一形態を説明するフローチャートである。なお、本実施形態で作成されたレシピが適用される欠陥検査装置としては、特に限定はなく、例えばレーザービーム等を用いた光学系の欠陥検査装置でも、電子ビーム等を用いた荷電ビーム系の欠陥検査装置でも良い。

【0041】まず、図12に示すように、模擬欠陥ウェーハ1（図1および図2参照）をその模擬欠陥データとともに準備し（ステップS1）、暫定のレシピパラメータを任意に選択して（ステップS2）、暫定の欠陥検査レシピを作成する（ステップS3）。レシピパラメータには、検査工程や検査対象ウェーハの種類に応じて多数あるが、例えば、光学系（電子光学系）における焦点距離や、取得する欠陥画像の画素（ピクセル）の大きさ、ノイズを除去するための画像フィルタの強度などがある。

【0042】次に、作成した暫定欠陥検査レシピを用いて、模擬欠陥ウェーハ1に対して欠陥検査を行い、模擬欠陥を検出させる（ステップS4）。

【0043】次に、暫定の欠陥検査レシピで検出した欠陥データと予め準備した模擬欠陥データとを照合し（ステップS5）、欠陥検出率を算出する（ステップS6）。次に、得られた欠陥検出率を所望の検出率と比較判定する（ステップS7）。本実施形態においては、この所望の検出率を80%とする。

【0044】得られた欠陥検出率が判定基準を満たさない場合は（ステップS7）、暫定レシピパラメータの値を変更しながら（ステップS8）、判定基準を満たすレシピパラメータが見つかるまで上述したステップS3～S7までのフローを繰り返す。この一方、判定基準を満たした場合は、そのときのレシピパラメータを欠陥検査レシピ用のパラメータとして（ステップS9）、データベースに登録する（ステップS10）。

【0045】次に、図13に示すように、実際の検査対象であるウェーハを準備し（ステップS11）、前述のステップS10において既にデータベースに登録したレシピパラメータをデータベースから引き出して選択し（ステップS12）、暫定の欠陥検査レシピを再度作成する（ステップS13）。

【0046】次に、前述のステップS11で準備した検査対象ウェーハについて実際に欠陥検査と欠陥観察を行い（ステップS14）、検査結果に異常があるかどうかを確認する（ステップS15）。ここで、検査結果における異常とは、主としてノイズであり、例えば光学系の欠陥検査装置であれば、ウェーハからの反射光の光強度プロファイルにおけるノイズ、荷電ビーム系の欠陥検査装置であれば、ウェーハから検出された2次電子等で形

50

(6)

9

成される電子ビーム画像の濃淡プロファイルにおけるノイズなどが挙げられる。検査結果に異常が発見された場合は（ステップS15）、異常の程度に応じてレシピパラメータの見直しを行なう。異常の程度が軽微なものであり、調整で解消するのであれば（ステップS16）、レシピパラメータの値を調整し（ステップS17）、暫定欠陥検査レシピを再度作成し、同一の検査対象ウェーハを用いて異常がなくなるまで確認を繰り返す（ステップS13～S15）。異常の程度が顕著であり、調整で解消しそうでない場合は（ステップS16）、再び模擬欠陥ウェーハを準備して検査対象ウェーハと取り替え（ステップS18）、レシピパラメータを変更して（ステップS19）、上述したステップS3～S15の手順を異常がなくなるまで繰り返す。検査結果に異常が発見されなかった場合、または上記一連の処理により異常がないことが確認された場合は（ステップS15）、そのときのレシピパラメータを最終的なレシピパラメータとして決定する（ステップS20）。

【0047】その後は、最終決定したレシピパラメータをデータベースに登録し（ステップS21）、さらに、そのときの暫定検査レシピを検査レシピと決定して欠陥検査装置に登録して（ステップS22）、欠陥検査レシピ作成を終了する。

【0048】本実施形態によれば、模擬正常パターンに対して高さ方向の変化と平面形状での変化とを有する模擬欠陥パターンを備える模擬欠陥ウェーハ1を用い、この模擬欠陥ウェーハの模擬欠陥データとの照合により暫定レシピの検出感度を定量化するので、レシピ作成者の熟練度に依存することなく所望の欠陥種の全てを検出できるレシピファイルを作成することができる。また、検査対象のウェーハを用いて欠陥検査を実際に行ない、ノイズ等の異常の有無を検証するので、最適のレシピファイルを作成することができる。

【0049】上述した実施形態における欠陥検査レシピの作成方法では、所望の欠陥種の全てを検出するためのレシピファイルを作成したが、半導体の製造工程においては、例えば基板表面から所定の高さに位置する欠陥種など、特定の欠陥種の有無だけを検出すれば良い場合もある。このような場合は、上述した実施形態の一連の処理のうち、レシピパラメータの選択、調整および変更の処理（図12のステップS2、S8、図13のS12、S17、S19）を行なう際に、所望の欠陥種に応じたレシピパラメータのみについて処理すればよい。これにより、欠陥検査の効率を大幅に高める欠陥検査レシピを作成することができる。

【0050】

【発明の効果】以上詳述したとおり、本発明は、以下の効果を奏する。

【0051】即ち、本発明によれば、検査対象ウェーハ

10

上で発生しうる典型的な欠陥種を模擬的に実現した模擬欠陥ウェーハが提供される。

【0052】また、本発明によれば、模擬欠陥データが予め得られた模擬欠陥ウェーハを用い、欠陥種の特徴や欠陥検出感度を定量化するので、レシピ作成者の熟練度に依存することなく、所望の欠陥種の全てを検出できる最適の欠陥検査レシピを作成することができる。

【図面の簡単な説明】

【図1】本発明にかかる模擬欠陥ウェーハの実施の一形態を示す部分平面図である。

【図2】図1に示す模擬欠陥ウェーハを図1のA-A切断線により切断した略示断面図である。

【図3】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図4】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図5】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図6】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図7】図1に示す模擬欠陥ウェーハの作成方法を説明する略示平面図である。

【図8】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図9】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図10】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図11】図1に示す模擬欠陥ウェーハの作成方法を説明する略示断面図である。

【図12】本発明にかかる欠陥検査レシピ作成方法の実施の一形態を説明するフローチャートである。

【図13】本発明にかかる欠陥検査レシピ作成方法の実施の一形態を説明するフローチャートである。

【図14】従来の技術による欠陥検査レシピ作成方法を説明するフローチャートである。

【図15】従来の技術による模擬欠陥ウェーハの一例を示す部分斜視図である。

【図16】従来の技術における問題点を説明するための欠陥ウェーハの一例を示す部分斜視図である。

【符号の説明】

1 模擬欠陥ウェーハ

10 a～10 d 配線パターン

DF1 配線パターン下の模擬欠陥パターン

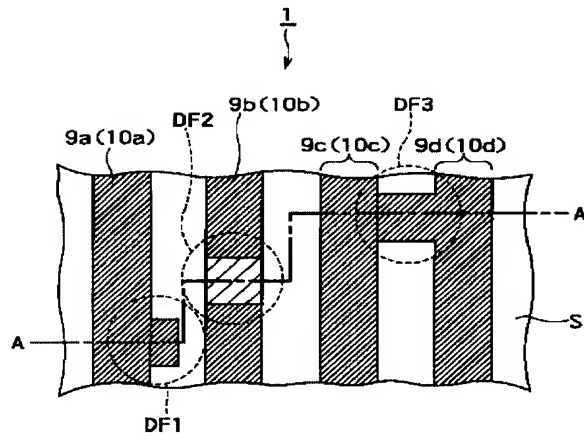
DF2 配線パターン上の模擬欠陥パターン

DF3 パターン形状異常欠陥としての模擬欠陥パターン

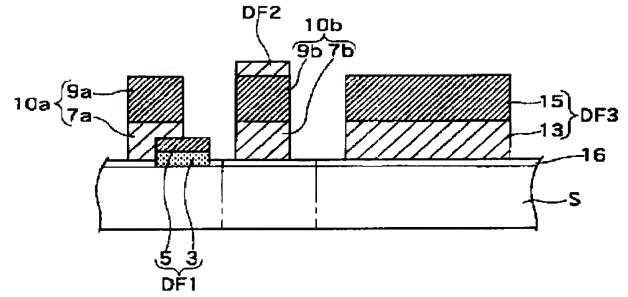
S ウェーハ

(7)

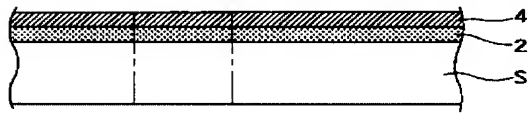
【図 1】



【図 2】



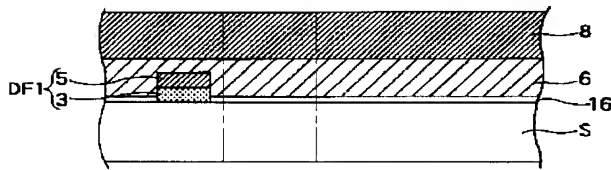
【図 3】



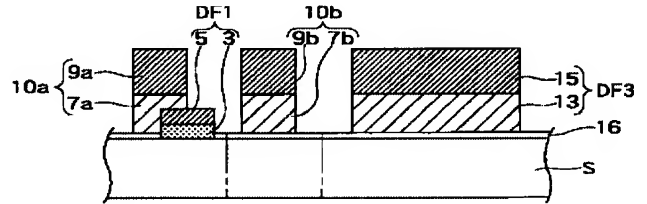
【図 4】



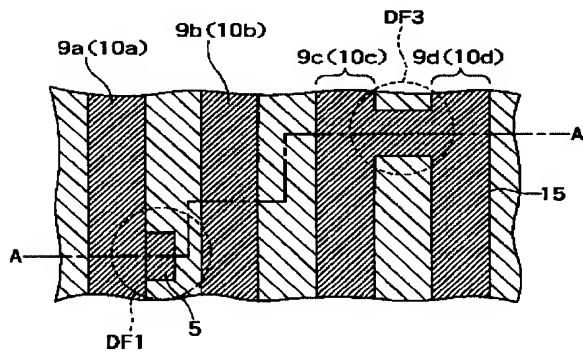
【図 5】



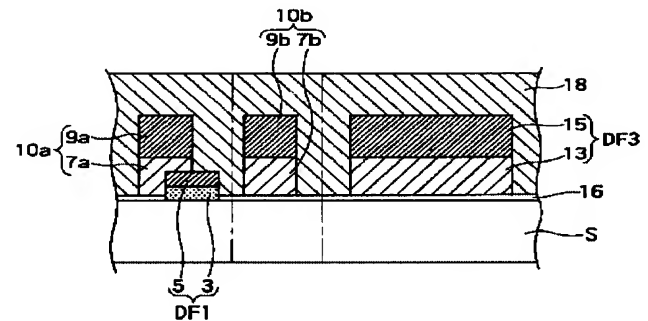
【図 6】



【図 7】

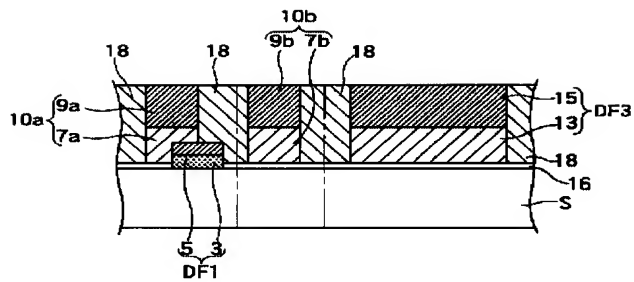


【図 8】

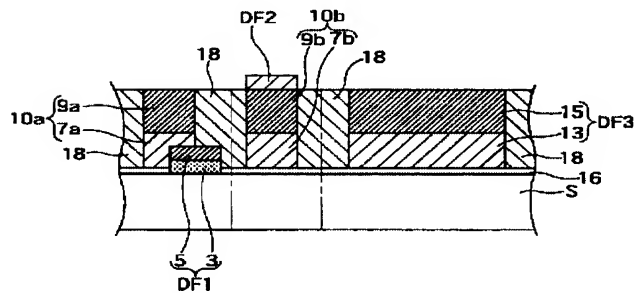


(8)

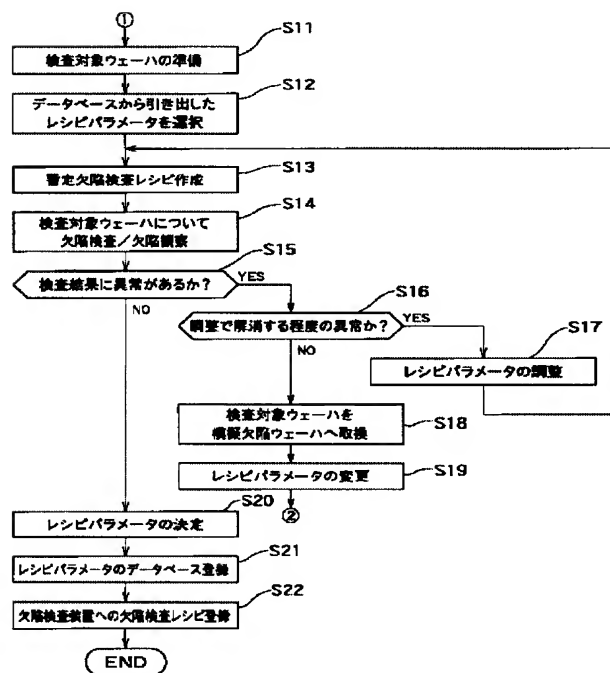
【図 9】



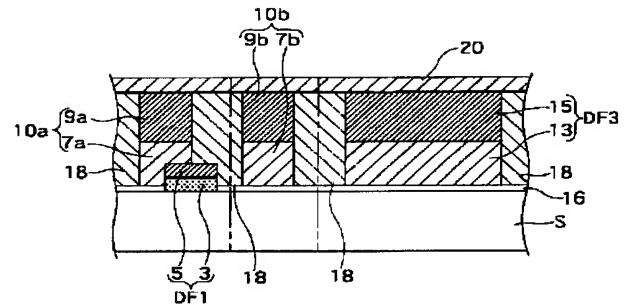
【图 1-1】



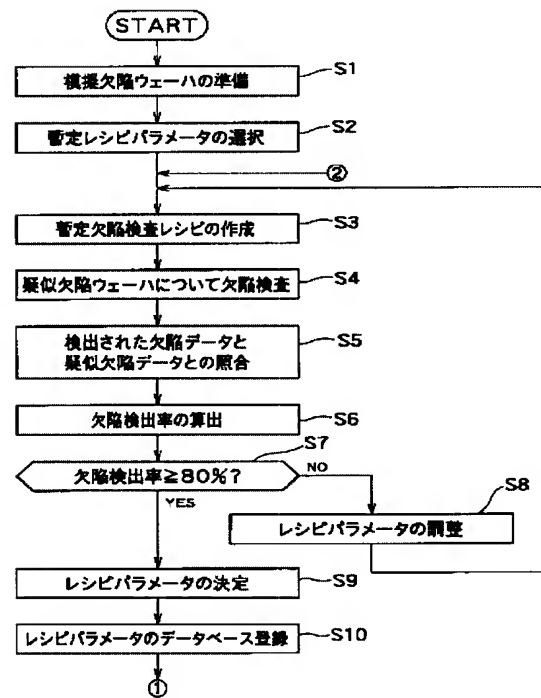
【図 13】



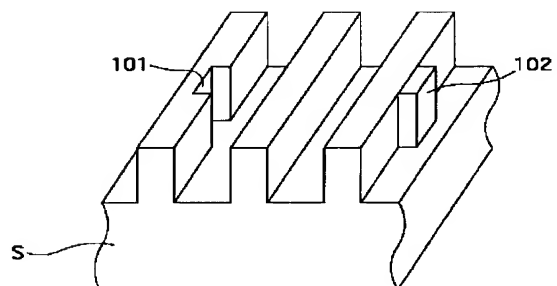
【図 10】



【図 1 2】

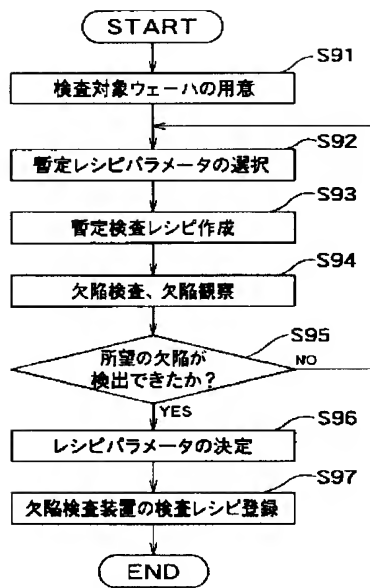


【図 15】



(9)

【図14】



【図16】

